

(11)Publication number : 2001-157446

(43)Date of publication of application : 08.06.2001

(51)Int.Cl.

H02M 3/28

(21)Application number : 11-333098

(71)Applicant : FUJI ELECTRIC CO LTD

(22)Date of filing : 24.11.1999

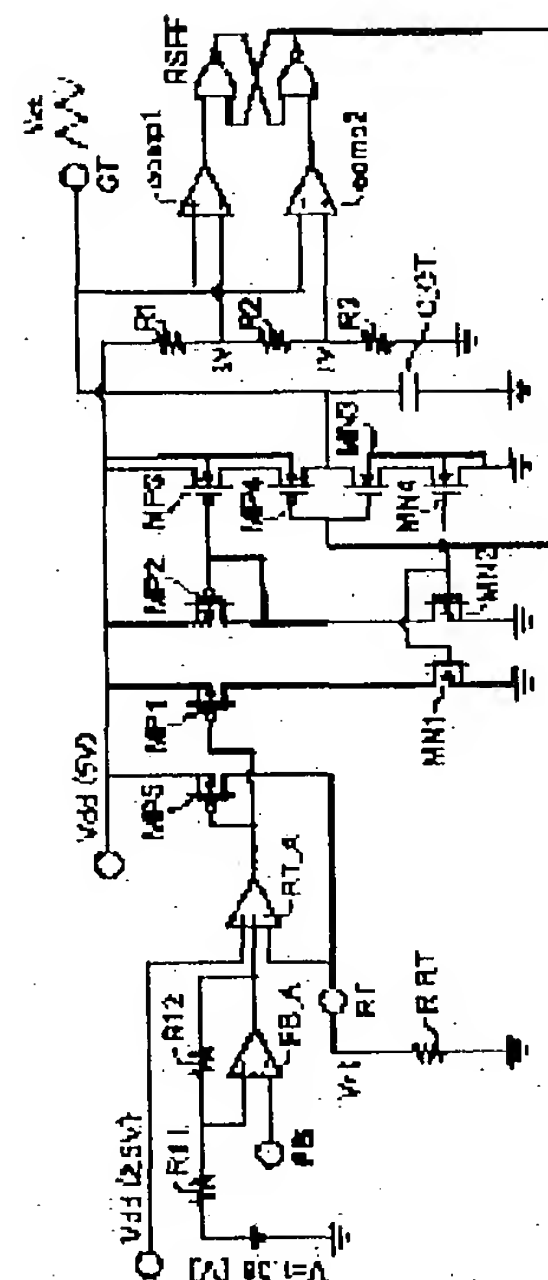
(72)Inventor : HIASA NOBUYUKI

## (54) POWER SUPPLY CONTROL INTEGRATED CIRCUIT

## (57)Abstract:

PROBLEM TO BE SOLVED: To improve efficiency by reducing switching loss in light load.

SOLUTION: A triangular wave oscillation circuit is composed of transistor MP4 and MN3 for charging and discharging timing capacitors C-CT, comparators comp1 and comp2 for determining the upper/lower-limit values of an oscillation waveform, and an RS flip flop RSFF, and others composed of a circuit for determining a charge/discharge current. An amplifier FB-A outputs a voltage according to a load level. A multiple-input amplifier RT-A performs control so that a voltage that is lower out of the output voltage of an amplifier FB-A and an internal reference voltage Vdd (2.5 V) becomes the terminal voltage of a timing resistor R-RT, thus resulting in a constant charge/discharge current being determined by the internal reference voltage Vdd (2.5 V) and making constant an oscillation frequency in a normal mode. In light load, the charge/discharge current corresponds to a load level, and the oscillation frequency decreases according to the decrease in load, thus improving efficiency due to the decrease in the number of switching.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-157446

(P2001-157446A)

(43)公開日 平成13年6月8日(2001.6.8)

(51)Int.Cl.<sup>7</sup>

識別記号

F I

テ-マ-ト\*(参考)

H 0 2 M 3/28

H 0 2 M 3/28

H 5 H 7 3 0

審査請求 未請求 請求項の数 8 O L (全 12 頁)

(21)出願番号 特願平11-333098

(22)出願日 平成11年11月24日(1999.11.24)

(71)出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(72)発明者 日朝 信行

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

(74)代理人 100092152

弁理士 服部 毅蔵

Fターム(参考) 5H730 AA14 AS01 BB43 BB57 CC01

DD04 DD26 DD32 EE02 EE07

FD01 FD41 FF02 FF19 FG05

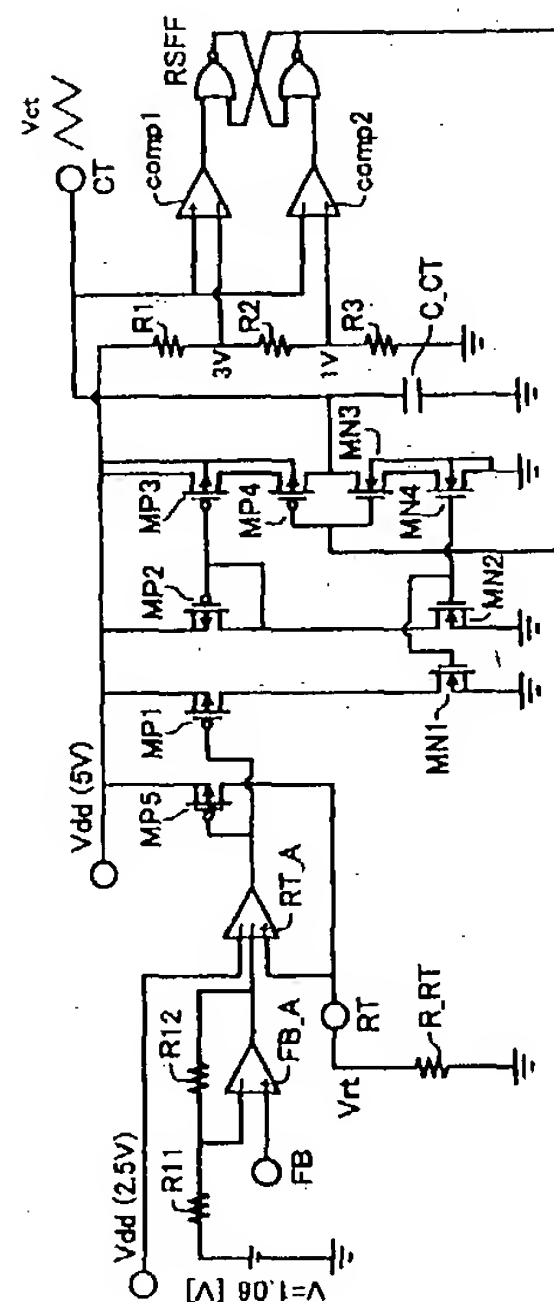
FG07 FG22 VV03

(54)【発明の名称】 電源制御集積回路

(57)【要約】

【課題】 軽負荷時におけるスイッチングロスを低減し、効率を上げることを目的とする。

【解決手段】 タイミングコンデンサC<sub>CT</sub>を充放電するトランジスタMP<sub>4</sub>、MN<sub>3</sub>と、発振波形の上下限値を決めるコンパレータcomp<sub>1</sub>、comp<sub>2</sub>と、RSフリップフロップRSFFとで三角波発振回路を構成し、他は充放電電流を決める回路を構成する。増幅器FB<sub>A</sub>は負荷レベルに応じた電圧を出力する。多入力増幅器RT<sub>A</sub>は増幅器FB<sub>A</sub>の出力電圧と内部基準電圧V<sub>dd</sub>(2.5V)との低い方の電圧をタイミング抵抗R<sub>RT</sub>の端子電圧となるよう制御する。これにより、通常モードでは、内部基準電圧V<sub>dd</sub>(2.5V)で決まる一定の充放電電流となり、発振周波数は一定となる。軽負荷時は、負荷レベルに応じた充放電電流となり、発振周波数は負荷低減に応じて減少し、スイッチング回数低減による効率改善が可能となる。



## 【特許請求の範囲】

【請求項1】 定電流源でタイミングコンデンサを充放電することで発振周波数が決定される発振回路および前記発振波形と負荷レベルに応じて変化するフィードバック信号とを比較することでスイッチング電源のスイッチング用パワートランジスタの駆動用パルス信号のパルス幅を変調するパルス幅変調制御回路を備えた電源制御集積回路において、

前記発振回路は、前記フィードバック信号が所定のレベルより低くなる軽負荷時において、負荷レベルの低下に応じて前記定電流源の値を低減することで発振周波数を低下させる発振周波数可変手段を備えていることを特徴とする電源制御集積回路。

【請求項2】 前記発振周波数可変手段は、前記フィードバック信号を増幅する第1の増幅器と、マイナス入力に内部基準電圧から作られた前記所定のレベルを有する電圧および前記第1の増幅器の出力を受け、プラス入力に前記定電流源の値を決定するタイミング抵抗の端子電圧を受ける第2の増幅器とを有することを特徴とする請求項1記載の電源制御集積回路。

【請求項3】 前記発振周波数可変手段は、発振周波数の負荷に対する変化率を増加させる変化率調整手段を有することを特徴とする請求項2記載の電源制御集積回路。

【請求項4】 前記変化率調整手段は、前記内部基準電圧と前記タイミング抵抗との間に接続された前記定電流源の電流調整用抵抗からなることを特徴とする請求項3記載の電源制御集積回路。

【請求項5】 前記電流調整用抵抗は、最軽負荷時における最低発振周波数を保証する値を有することを特徴とする請求項4記載の電源制御集積回路。

【請求項6】 前記パルス幅変調制御回路は、軽負荷時においても最大デューティサイクル時の出力オン時間を一定に保ち、通常動作時の発振周波数に対する周波数比率と同じ比で最大デューティサイクルを変化させる最大デューティサイクル調整手段を備えていることを特徴とする請求項1記載の電源制御集積回路。

【請求項7】 前記最大デューティサイクル調整手段は、前記フィードバック信号を増幅する第3の増幅器と、マイナス入力に内部基準電圧から作られた一定の電圧、前記第3の増幅器の出力および前記前記フィードバック信号を受け、プラス入力に前記発振回路の出力を受ける比較器とを有することを特徴とする請求項6記載の電源制御集積回路。

【請求項8】 前記発振回路およびパルス幅変調制御回路は、タイミング抵抗接続端子(RT)、フィードバック端子(FB)、過電流検出端子(IS)、グランド端子GND(GND)、出力端子(OUT)、電源端子(VCC)、基準電圧端子(REF)、およびソフトスタート端子(CS)を有する8ピンパッケージに収めら

れていることを特徴とする請求項1記載の電源制御集積回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は電源制御集積回路に関し、特にスイッチング電源にてスイッチングのための信号を発生させる発振回路およびパルス幅変調(PWM)制御回路を備えた電源制御集積回路に関する。

## 【0002】

【従来の技術】商用電源を所望の直流電圧に変換するスイッチング電源の電源制御集積回路は、従来からバイポーラ・プロセスを用いた集積回路が主に使われてきた。

【0003】しかし、最近では、低消費電力化・低価格化の要求が厳しくなっており、電源制御集積回路の製造プロセスは、バイポーラトランジスタとCMOS(Complementary Metal-Oxide Semiconductor)とを組み合わせたBiCMOSまたはCMOSプロセスへの移行が進み、また、回路構成も従来よりも消費電流の低減が行われている。

【0004】スイッチング電源用の電源制御集積回路は、商用電源を整流した電圧を所望の直流電圧に変換して出力するDC-DCコンバータに対して、そのスイッチング信号を発生させる発振回路およびパルス幅変調制御回路を備えている。ここで、発振およびPWM制御の仕組みについて述べる。

【0005】図14は従来の発振回路の構成例を示す図、図15はPWM制御の概念を示す図である。発振回路は、二つのコンパレータcomp1、comp2と、内部基準電圧V<sub>dd</sub>からこれらコンパレータcomp1、comp2のための二つの基準電圧を作る三つの抵抗R1、R2、R3と、それぞれコンパレータcomp1、comp2の出力を入力した二つのNORゲートNOR1、NOR2から構成されるRSフリップフロップ(RSFF)と、直列接続の二つのインバータINV1、INV2と、各インバータINV1、INV2の出力によってオン・オフ制御される二つのスイッチSW1、SW2と、これらスイッチSW1、SW2の内部基準電圧側とグランド側とに接続された二つの電流源I<sub>ct</sub>1、I<sub>ct</sub>2と、タイミングコンデンサC<sub>CT</sub>とから構成されている。そして、この発振回路の出力には、発振回路の出力電圧V<sub>ct</sub>とDC-DCコンバータの負荷状態を表す電圧V<sub>fb</sub>とを比較するコンパレータcomp3が接続されている。

【0006】以上の発振回路の発振の仕組みを説明する。ここで、スイッチSW1、SW2、電流源I<sub>ct</sub>1、I<sub>ct</sub>2およびタイミングコンデンサC<sub>CT</sub>は、充放電回路を構成している。すなわち、スイッチSW1の上側に配置された電流源I<sub>ct</sub>1はタイミングコンデンサC<sub>CT</sub>を充電するのに用い、スイッチSW2の下側に配置された電流源I<sub>ct</sub>2はタイミングコンデンサ

C<sub>CT</sub>を放電するのに用い、スイッチSW1、SW2はどちらか一方がオンするようになっていて、これらを切り換えることで充放電を行う。

【0007】タイミングコンデンサC<sub>CT</sub>の端子電圧は、二つのコンパレータcomp1、comp2に入力され、発振波形の上下限電圧と比較される。コンパレータcomp1は上限電圧、コンパレータcomp2は下限電圧との比較を行っており、コンパレータcomp1、comp2の各々のスレッショールド電圧は、抵抗R1、R2、R3によって内部基準電圧を抵抗分割することにより作り出している。図示の例では、5ボルトの内部基準電圧V<sub>dd</sub>から1ボルトおよび3ボルトのスレッショールド電圧を作り出している。

【0008】また、タイミングコンデンサC<sub>CT</sub>への充放電を切り換えるスイッチSW1、SW2の制御入力、コンパレータcomp1、comp2の出力がRSフリップフロップを通して接続されている。

【0009】ここで、タイミングコンデンサC<sub>CT</sub>の端子電圧が1ボルト以下の場合、コンパレータcomp1の出力は高レベル、コンパレータcomp2の出力は低レベルとなり、フリップフロップの出力は高レベルとなる。これにより、上側のスイッチSW1がオン、下側のスイッチSW2がオフとなり、タイミングコンデンサC<sub>CT</sub>は電流源I<sub>ct1</sub>による充電が行なわれる。

【0010】充電が行われていって、タイミングコンデンサC<sub>CT</sub>の端子電圧が3V以上になると、コンパレータcomp1の出力は低レベル、コンパレータcomp2の出力は高レベルとなり、フリップフロップは低レベルを出力する。そのため、上側のスイッチSW1はオフとなり、下側のスイッチSW2がオンとなって、タイミングコンデンサC<sub>CT</sub>の放電を開始する。この放電は、タイミングコンデンサC<sub>CT</sub>の端子電圧が1Vになるまで続けられる。

【0011】タイミングコンデンサC<sub>CT</sub>は、電流源I<sub>ct1</sub>、I<sub>ct2</sub>により定電流で充放電されるため、充放電速度は一定である。したがって、タイミングコンデンサC<sub>CT</sub>の端子電圧は、ある上下限電圧（図示の例では3ボルト、1ボルト）の間を一定時間かけて変化することになる。以上の仕組みによるタイミングコンデンサC<sub>CT</sub>の電圧V<sub>ct</sub>の波形が発振波形であり、立ち上り時間および立ち下がり時間の等しい三角波の発振波形を得ることができる。

【0012】次に、PWM制御（デューティ制御）について説明する。発振回路の出力電圧V<sub>ct</sub>は、コンパレータcomp3の一方の入力に与えられる。このコンパレータcomp3の他方の入力には、負荷の重さをDC-DCコンバータ出力でモニタし、電圧V<sub>ct</sub>と比較できるレベルにしたフィードバック電圧V<sub>fb</sub>が与えられる。ここで、電圧V<sub>fb</sub>は、負荷が軽い時には下がるようなフィードバックとする。

【0013】コンパレータcomp3は、図14に示したように、発振回路の出力電圧V<sub>ct</sub>と電圧V<sub>fb</sub>とを比較し、発振回路の出力電圧V<sub>ct</sub>がフィードバック電圧V<sub>fb</sub>よりも低い時に、コンパレータ出力が高レベルとなる。このコンパレータ出力は、レベルシフターで昇圧された後、電源制御集積回路の出力となる。

【0014】このコンパレータ出力のデューティサイクル（ここでは、一つの周期に対してのオン時間の占める割合を表すオンデューティサイクル）において、発振回路の出力電圧V<sub>ct</sub>が一定周期の波形となっているため、フィードバック電圧V<sub>fb</sub>の変化が発振回路の出力電圧V<sub>ct</sub>の一周に占めるV<sub>ct</sub><V<sub>fb</sub>の時間の变化となる。フィードバック電圧V<sub>fb</sub>は、スイッチング電源の負荷が軽くなると下がるようにしてあるため、負荷が軽くなると共にデューティは減少する。このコンパレータ出力により、DC-DCコンバータのスイッチング用のパワートランジスタを制御しているため、負荷が軽くなるにつれて負荷への供給電力を絞るようにしている。

【0015】

【発明が解決しようとする課題】ところで、電源制御集積回路は、トランスを介し負荷にあるエネルギーを供給し、負荷に応じて供給電力を調整するためにデューティサイクルの制御を行っている。DC-DCコンバータでは、デューティサイクルが制御された信号によりパワートランジスタがスイッチングを行うが、そこでスイッチングロスが発生する。

【0016】図16はスイッチングロスの概念を示す図である。この図において、パワートランジスタのスイッチング時に、電圧および電流のレベルが互いに逆になる関係を有している。このスイッチング時では、高レベルと低レベルとの切り切り目でスイッチングロスが発生し、これが変換効率を下げる原因となっている。スイッチングロス、図16において、ハッチングを施した部分に相当し、パルスの立ち上り、立ち下がり時間が零では無いことから生じている。

【0017】負荷が重い時には、デューティサイクルが大きい、すなわち、コンパレータ出力のオン信号の幅が広い、供給電力に対してスイッチングロスの占める割合が小さくなり、スイッチングロスの影響は少ない。しかし、軽負荷時には、デューティサイクルが小さくなるため、その影響が顕著になり、電源の効率を下げる原因となる。なお、スイッチングロス、スイッチング速度を速くすることで低減することができるが、それにも限界があり、皆無にすることはできない。

【0018】最近の低消費電力化・低価格化の要求が厳しくなる中、最近の電子製品の機能の一つに待機モードがあるが、このモード時の低消費電力化が特に厳しくなっており、如何にスイッチングロスの影響を少なくし、集積回路の省電力化を図るかが問題となっている。



【0019】本発明はこのような点に鑑みてなされたものであり、軽負荷時におけるスイッチングロス低減し、効率を上げることができる電源制御集積回路を提供することを目的とする。

#### 【0020】

【課題を解決するための手段】本発明では上記問題を解決するために、定電流源でタイミングコンデンサを充放電することで発振周波数が決定される発振回路および前記発振波形と負荷レベルに応じて変化するフィードバック信号とを比較することでスイッチング電源のスイッチング用パワートランジスタの駆動用パルス信号のパルス幅を変調するパルス幅変調制御回路を備えた電源制御集積回路において、前記発振回路は、前記フィードバック信号が所定のレベルより低くなる軽負荷時において、負荷レベルの低下に応じて前記定電流源の値を低減することで発振周波数を低下させる発振周波数可変手段を備えていることを特徴とする電源制御集積回路が提供される。

【0021】このような電源制御集積回路によれば、発振回路は、通常動作時では、フィードバック信号に関係なく所定のレベルで決まる一定の周波数で発振する。一方、軽負荷時では、負荷レベルが低減することに応じて発振周波数が低下する。この結果、スイッチング回数が低減することになる。これにより、スイッチングロスが低減し、効率が改善されることになる。

#### 【0022】

【発明の実施の形態】以下、本発明の実施の形態を、AC/DC電源回路に適用した場合を例に図面を参照して詳細に説明する。

【0023】図1は本発明を適用したAC/DC電源回路の構成例を示す回路図である。AC/DC電源回路は、商用電源を整流するブリッジダイオードBDおよびコンデンサC1を有し、その直流電圧は、トランスTの一次巻線とパワートランジスタPTとを直列接続した回路に印加される。電源制御集積回路ICは、デュアルインラインパッケージタイプのもので8本の端子を有している。すなわち、タイミング抵抗接続端子RT、フィードバック端子FB、過電流検出端子IS、グランド端子GND、出力端子OUT、電源端子VCC、基準電圧端子REFおよびソフトスタート端子CSを有している。

【0024】タイミング抵抗接続端子RTはタイミング抵抗R<sub>RT</sub>に接続され、フィードバック端子FBはフォトカプラPCのフォトトランジスタPh<sub>Tr</sub>に接続され、過電流検出端子ISにはパワートランジスタPTの電流を検出する抵抗R<sub>IS</sub>がその端子電圧を入力するように接続され、グランド端子GNDは接地され、出力端子OUTはパワートランジスタPTのゲートに接続され、電源端子VCCは抵抗R<sub>s1</sub>、コンデンサC2およびツェナーダイオードZDからなる降圧安定化回路に接続され、基準電圧端子REFは内部基準電圧を安定化

させるコンデンサC3に接続され、ソフトスタート端子CSは内蔵ソフトスタート回路用のコンデンサC4に接続されている。また、電源端子VCCにはダイオードD1が接続され、トランスTにて誘起された電圧を受けるようにして、電源制御集積回路ICの起動後に商用電源からの消費電流を減らすようにしている。

【0025】トランスTの二次巻線は、ダイオードD2およびコンデンサC5からなる整流回路を介して、AC/DC電源回路の出力端子に接続されている。また、その出力端子には、フォトカプラPCのフォトダイオードPh<sub>D</sub>が接続されており、負荷レベルに対応したレベルの信号を電源制御集積回路ICのフィードバック端子FBに供給するようにしている。

【0026】電源制御集積回路ICは、内部に持つ発振回路によって発振された三角波の出力電圧とフィードバック端子FBで受けた負荷レベルとによりパルス幅変調制御されたパルス信号を出力端子OUTより出力し、パワートランジスタPTをオン・オフ制御する。これにより、トランスTの一次巻線に流れる電流をオン・オフし、二次巻線に高周波の交流電圧を発生させ、それを整流してAC/DC電源回路の直流出力とする。

【0027】ここで、発振回路は、負荷レベルの減少に応じて発振周波数を下げるようにしている。これにより、負荷に同じ電力を供給するにもスイッチング回数が少なくなる分、スイッチングロスの影響が少なくなり、効率を改善している。次に、このような機能を持つ発振回路について説明する。

【0028】図2は本発明による発振回路の第1の実施の形態を示す回路図、図3は多入力増幅器の内部構成例を示す回路図、図4はフィードバック信号を増幅する増幅器の特性を示す図、図5は多入力増幅器の特性を示す図である。

【0029】まず、図2に示す発振回路の機能概要について述べる。端子V<sub>dd</sub> (2.5V)、V<sub>dd</sub> (5V)は内部基準電圧からの入力、端子CTはこの発振回路の出力で、その出力電圧V<sub>ct</sub>は発振波形である。端子FBはフィードバック端子であり、負荷の重さを電圧に変換した信号が入力される。タイミング抵抗接続端子RTは、この電源制御集積回路ICの外付け部品となっているタイミング抵抗R<sub>RT</sub>を接続する端子である。

【0030】フィードバック端子FBは、増幅器FB<sub>A</sub>に接続されている。この増幅器FB<sub>A</sub>は、抵抗R<sub>11</sub>、R<sub>12</sub>によって増幅率が決められ、たとえば抵抗値の比をR<sub>11</sub>:R<sub>12</sub>=1:9と設定することにより、増幅率10の増幅器を構成している。増幅器FB<sub>A</sub>は、図4に示す特性を有し、フィードバック端子FBの電圧V<sub>fb</sub>がV<sub>fb0</sub>、増幅器FB<sub>A</sub>の出力が2.5Vの状態を基準として、V<sub>fb</sub>の変化量の10倍の変化を出力する機能を有する。なお、V<sub>fb0</sub>は動作モードが通常モードから軽負荷モードへの切換え時の電圧とす

る。

【0031】多入力増幅器RT\_Aは、二つの反転入力端子のうち低い方の電圧を出力するアンプであり、図5に示すように、実線および破線の入力に対して実線の出力となる特性を有する。たとえば非負荷時は、VfbがVfb0以上あるため、増幅器FB\_Aの出力はVddの2.5V以上である。したがって、この時には多入力増幅器RT\_Aの出力は2.5Vとなっている。

【0032】一方負荷時にはVfbがVfb0以下になり、その変化量の10倍の変化が増幅器FB\_Aの出力であるため、Vdd(2.5V)以下になる。したがって、多入力増幅器RT\_Aの出力は増幅器FB\_Aの出力と等しくなり、Vdd(2.5V)以下になる。

【0033】多入力増幅器RT\_Aの出力は、トランジスタMP1、MP5のゲートに接続される。トランジスタMP5は、トランジスタMP2、MN1、MN2とともにカレントミラー回路を構成し、その後段に接続されるトランジスタMP3、MN4は電流源、トランジスタMP4、MN3はタイミングコンデンサC\_CTに対する充放電の切り換えを行うスイッチを構成している。このスイッチを構成するトランジスタMP4、MN3のゲートは、三角発振波形の上下限值を設定する抵抗R1、R2、R3と、コンパレータcomp1、comp2と、RSフリップフロップRSFFとからなる回路に接続されている。

【0034】また、多入力増幅器RT\_Aの出力は、トランジスタMP5のゲートへの入力なので、タイミング抵抗R\_RTに流れる電流を制御する。このとき、タイミング抵抗接続端子RTに現われる端子電圧をVrtとする。同時に、多入力増幅器RT\_Aの出力は、トランジスタMP1のゲート入力にもなっている。したがって、カレントミラー回路で折り返した後、トランジスタMP3、MN4をタイミング抵抗R\_RTに流れる電流と同じ電流を流すよう制御する。

【0035】次に、多入力増幅器RT\_Aの具体的な構成例について説明する。図3において、端子IN1(−)は内部基準電圧Vdd(2.5V)を受ける入力端子であり、端子IN2(−)は増幅器FB\_Aの出力が接続される入力端子である。端子IN3(+)は図2のタイミング抵抗接続端子RTが接続され、端子OUTは、この多入力増幅器RT\_Aの出力端子である。

【0036】端子IN1(−)に接続された抵抗R13、トランジスタPNP1、MN5で構成されている回路は、このブロックのバイアス源である。トランジスタMN6、MP6、MP7、MP10からなる回路は、トランジスタPNP1、PNP2、PNP3にバイアス源と同じで流を流すよう制御する。トランジスタMP8、MP9、MP11、MN7、MN8からなる回路は差動入力段を構成し、トランジスタMP12、MN9は出力段を構成する。

【0037】二つの端子IN1(−)、端子IN2(−)を受けるトランジスタPNP1、PNP2は、共にトランジスタMP9に接続されているので、内部基準電圧Vdd(2.5V)および増幅器FB\_Aの出力電圧のうち、入力電圧の低い方の電圧によりトランジスタMP9がオンとなる。

【0038】また、タイミング抵抗接続端子RTの端子電圧Vrt直は、この多入力増幅器RT\_Aの帰還入力になっており、Vdd(2.5V)か増幅器FB\_Aの出力電圧のうち、低い方と同じ電圧になる。どちらと同じになるかでトランジスタMP9またはMP11に電流を流す。

【0039】トランジスタMP9の方がオンした場合、トランジスタMP9、MN7には同じ電流が流れ、トランジスタMN9、MN7のゲートが共通なので、トランジスタMN9のオン抵抗が下がり、トランジスタMN9のゲート電圧を下げ、この多入力増幅器RT\_Aの出力である出力端子OUTが高レベルとなる。

【0040】逆に、トランジスタMP11の方がオンした場合、トランジスタMP9の方がオン抵抗が高くなり、トランジスタMN8も同様に高くなる。したがって、トランジスタMN9のゲート電圧は上がり、出力端子OUTが低レベルとなる。

【0041】以上説明した多入力増幅器RT\_Aの出力は、トランジスタMP5、MP1のゲートに与えられ、タイミング抵抗R\_RTに流れる電流を制御する。このトランジスタMP5を流れる電流は、タイミング抵抗R\_RTによる電圧降下を生じさせ、電圧Vrtとして多入力増幅器RT\_Aへフィードバックされる。このループにより電圧Vrtは一定となる。

【0042】一方、トランジスタMP1を流れる電流は、トランジスタMN1を介しトランジスタMP2、MP3、MN2、MN4にトランジスタMN1を流れる電流と同じ電流を生じさせる。ここで、トランジスタMP4、MN3は、RSフリップフロップRSFFの電圧により切り換えられ、端子CTに接続されたタイミングコンデンサC\_CTに対する充放電の切り換えを行う。

【0043】以上の動作により、フィードバック端子FBの端子電圧VfbがVfb0以上のとき、多入力増幅器RT\_Aは、固定値のVdd(2.5V)を出力し、Vrt=2.5Vとなるよう制御するため、発振周波数は一定に保たれることになる。一方、端子電圧VfbがVfb0以下となる負荷のときには、多入力増幅器RT\_Aの出力が負荷レベルに応じてリニアに変化するので、多入力増幅器RT\_Aの出力も同様に変化する。Vrtが2.5V以下に下がると、タイミングコンデンサC\_CTを充放電する電流が減ることになり、この結果、発振周波数が下がる。このように、負荷時に、多入力増幅器RT\_Aの出力を負荷(Vfb)に対して上記の様に変化させることで、負荷に応じて発振周波数を

下げることが実現されるのである。

【0044】また、この負荷低減に応じて発振周波数を下げる機能を実現するために追加した回路は、図2の増幅器FB\_Aと、図3の多入力増幅器RT\_A内のトランジスタPNP1とであり、少ない素子と、少ない変更箇所によってその機能を実現している。

【0045】好ましい実施の形態では、図2に示した発振回路の発振周波数を、通常負荷のときには、100kHz、最軽負荷のときには、20kHzで発振するようにしている。このときの発振波形の様子を図6に示す。

【0046】図6は周波数可変による発振波形の変化を示す図である。図6において、通常モード時の発振波形は実線で示し、軽負荷モード時の発振波形は破線で示してある。通常モードから軽負荷モードになって発振周波数が下がると、1周期の時間間隔が広がる。これにより、スイッチング回数が減るため、スイッチングロス

を低減することができる。

【0047】図7は本発明による発振回路の第2の実施の形態を示す回路図である。図7において、図2に示した構成要素と同じ要素については同じ符号を付してある。この発振回路によれば、内部基準電圧V<sub>dd</sub>（5V）に接続された基準電圧端子REFを備えている。そして、この基準電圧端子REFとタイミング抵抗接続端子RTとの間に外付けの抵抗R<sub>fr</sub>が接続されている。それ以外は、図2に示した回路構成と同じである。

【0048】タイミング抵抗接続端子RTの電圧は、多入力増幅器RT\_Aによってその入力のうち最も低い値と同じ値を取るよう制御されているので、その入力電圧によりタイミング抵抗接続端子RTに接続したタイミング抵抗R<sub>RT</sub>を流れる電流I<sub>RT</sub>が決定される。

【0049】ここで、基準電圧端子REFとタイミング抵抗接続端子RTとの間に抵抗R<sub>fr</sub>を接続すると、基準電圧端子REFからも電流I<sub>fr</sub>が供給されるため、タイミング抵抗接続端子RTの電圧を一定に保つ、すなわち“ $I_{fr} + I_{RT} = \text{一定}$ ”の状態を保つには、タイミング抵抗接続端子RTから供給される電流I<sub>RT</sub>を絞る必要がある。

【0050】この場合、トランジスタMP5のソース・ドレイン電流I<sub>RT</sub>が絞られることになるが、トランジスタMP5に入っているゲート信号はトランジスタMP1にも入力されているため、結果として、タイミングコンデンサC<sub>CT</sub>の充放電電流も絞られ、タイミング抵抗接続端子RTの端子電圧が同じ、すなわち、フィードバック端子FBの端子電圧が同じであっても、基準電圧端子REFとタイミング抵抗接続端子RTとの間に抵抗R<sub>fr</sub>を接続した方が周波数は低くなるのである。

【0051】もちろん、タイミング抵抗接続端子RTの端子電圧が同じであっても、抵抗R<sub>fr</sub>の抵抗値が小さい方がより周波数は下がることになる。さて、負荷の状態（フィードバック端子FBの電圧V<sub>fb</sub>）によって周

波数が可変する領域においては、フィードバック端子FBのある電圧の変化量に対して、基準電圧端子REFとタイミング抵抗接続端子RTとの間の抵抗R<sub>fr</sub>の抵抗値が小さい程、より多くの電流I<sub>fr</sub>が基準電圧端子REFから供給されるので、その分、タイミング抵抗接続端子RTからの電流I<sub>RT</sub>は絞られ、タイミングコンデンサC<sub>CT</sub>の充放電時間が長くなり、周波数の下がり方もより大きく（周波数低減率が大きく）なるのである。

【0052】以上の2点を踏まえて、フィードバック端子FBの電圧と発振周波数との関係をグラフで示すと、図8のようになる。図8はフィードバック端子電圧と発振周波数との関係を示す図である。図示のように、通常モードでは、抵抗R<sub>fr</sub>の抵抗値が小さくなる程、発振周波数が低減し、軽負荷モードでは、発振周波数の変化率、すなわち傾きが大きくなり、その分、発振周波数もf<sub>1</sub>からf<sub>3</sub>へと大きく低減する。

【0053】ただし、回路構成上、タイミング抵抗接続端子RTから電流を供給できてもタイミング抵抗接続端子RTから電源制御集積回路IC内に電流を吸い込むことはできないので、基準電圧端子REF-タイミング抵抗接続端子RT間の抵抗R<sub>fr</sub>の抵抗値がある値よりも小さい時には、多入力増幅器RT\_Aが制御不能になる。

【0054】しかしながら、このような状態のとき、タイミング抵抗接続端子RTから供給される電流I<sub>RT</sub>は既にゼロであるため、結局発振はしない（できない）ことになる。したがって、抵抗R<sub>fr</sub>の抵抗値は、発振停止に陥らないような値、すなわち、最軽負荷時において、下がって行く発振周波数にクランプをかけて最低発振周波数を保証する値を有する。

【0055】以上、軽負荷時に負荷に応じて発振周波数を下げることができる発振回路について述べた。しかし、軽負荷時に負荷に応じて発振周波数を下げただけでは、発振周波数の低下と共に最大デューティサイクル時に、出力パルスのオン時間が通常モード時よりも軽負荷モード時の方が長くなり、電源制御集積回路ICが駆動すべきパワートランジスタPTを破壊するおそれがある。そこで、軽負荷時に最大デューティサイクルを、通常モード時の最大オン時間以上のオン時間を作ってしまうよう調整する必要がある。次に、その最大デューティサイクルの調整機能について説明する。

【0056】図9は本発明によるPWM制御の概念を示す図である。図9において、V<sub>fb</sub>がフィードバック端子FBにおける端子電圧、D<sub>max</sub>が最大デューティサイクルを決定する電圧である。D<sub>max</sub>は電源制御集積回路ICの内部基準電圧から抵抗分割にて得られる定電圧である。このように、PWM制御において、発振回路の出力電圧V<sub>ct</sub>をフィードバック端子FBにおける端子電圧V<sub>fb</sub>と比較する以外に、負荷の変化とは無関係



な電圧Dmaxと比較させ、フィードバック端子FBにおける端子電圧Vfbが電圧Dmaxよりも高いとき、発振回路の出力電圧Vctとの比較対象が電圧Dmaxとなるようにすれば、そこで最大デューティサイクルを決定することができる。この仕組みにより、発振周波数が下がっても最大デューティサイクルは変化せず、軽負荷時に発振周波数を下げることによる問題を解消することができる。

【0057】しかし、この概念を単に適用しただけでは、最大デューティサイクル時の出力オン時間が通常動作時よりも軽負荷時の方が長くなり、電源制御集積回路ICが駆動すべきパワートランジスタPTを破壊したり、スイッチング電源の制御自体に支障をきたす可能性がある。発振周波数が下がった場合に、発振周波数に応じて、すなわち負荷に応じて最大デューティサイクルを下げ、出力パルスのオン時間が通常動作時と等しく一定となるような制御を行う必要がある。以下、その機能を実現する具体例について説明する。

【0058】図10はPWM制御部の構成例を示す回路図、図11は多入力コンパレータの構成例を示す回路図、図12は最大デューティサイクル調整機能の概念を説明する図であって、(A)は多入力コンパレータの入力電圧の変化を示し、(B)は多入力コンパレータの出力電圧の変化を示している。

【0059】PWM制御部は、図10に示したように、最大デューティサイクル調整用の増幅器Dmax\_Aと、パルス幅変調制御のための多入力コンパレータPWMcompと、レベルシフトおよび波形整形用の電流源Ict、トランジスタMP13およびインバータINV3とを備えている。

【0060】増幅器Dmax\_Aは、抵抗R21、R22の抵抗比によって決まるゲインを有し、図2の増幅器FB\_Aとゲインは異なるが同様の回路構成をしている。したがって、この増幅器Dmax\_Aは、フィードバック端子FBの端子電圧Vfbの変化量に比例した変化量を示す電圧Dmax2を出力する。この最大デューティサイクルを制御するための負荷に応じた信号の生成は、発振周波数を制御した原理と同様の原理を用いている。

【0061】PWM制御を行う多入力コンパレータPWMcompは、その具体的な回路を図11に示したように、図3に示した多入力増幅器RT\_Aと同様の回路構成を有している。すなわち、内部基準電圧Vdd(5V)に接続された抵抗R25、トランジスタPNP2、MN10は、このブロックのバイアス源を構成する回路である。トランジスタMN11、MP14、MP15、MP19からなる回路は、トランジスタPNP4、PNP5、PNP6、PNP7にバイアス源と同じで流を流すよう制御する。トランジスタMP16、MP17、MP18、MN12、MN13からなる回路は差動入力段

を構成し、トランジスタMP20、MN14およびインバータINV1、INV2は出力段を構成する。

【0062】三つの(−)入力端子を受けるトランジスタPNP4、PNP5、PNP6は、共にトランジスタMP17に接続されているので、内部基準電圧Vdd(5V)から作られた電圧Dmax1、増幅器Dmax\_Aの出力電圧Dmax2およびフィードバック端子FBの電圧Vfbのうち、入力電圧の低い方の電圧が、(+)入力端子が受ける発振回路の出力電圧Vctの比較対象電圧となる。

【0063】PWM制御を行う多入力コンパレータPWMcompは、その(+)入力に発振波形の電圧Vctを、第1の(−)入力に内部基準電圧Vdd(5V)を抵抗R23、R24で分割した電圧Dmax1を、第2の(−)入力に増幅器FB\_Aの出力電圧Dmax2を、第3の(−)入力にフィードバック電圧Vfbをそれぞれ入力し、第1ないし第3の(−)入力のうちの最も低い電圧と発振波形とを比較し、発振波形の方が低い場合に多入力コンパレータPWMcompの出力が高レベルとなるようなコンパレータである。なお、図9の電圧Dmaxは、ここでは、電圧Dmax1に対応する。したがって、電圧Vfbが電圧Dmax1よりも大きい領域では、電圧Dmax1と発振波形の電圧Vctとが比較されることになり、負荷に関係なく電圧Dmax1によって決定される一定のデューティサイクルのパルスを出力する。このパルスは、トランジスタMP13、電流源IctおよびインバータINV3を介して、電源制御集積回路ICの出力端子OUTより出力され、パワートランジスタPTをスイッチング駆動するゲート信号となる。

【0064】次に、負荷に応じて変化する電圧Dmax2を多入力コンパレータPWMcompの(−)端子に追加入力した場合の発振波形と出力波形との関係を示したのが図12である。図12において、実線で示した波形が通常モード時の入出力波形であり、破線で示したのが軽負荷時(発振周波数が低下した状態)の入出力波形である。

【0065】多入力コンパレータPWMcompに追加入力される電圧Dmax2は、通常モード時の電圧Dmax1より低い電圧に調整される。これにより、多入力コンパレータPWMcompの出力は、最大デューティサイクル時のパルスのオン時間を同じくすることが可能である。また、軽負荷モード時と通常モード時との切り変わり目において、この電圧Dmax2が電圧Dmax1と等しくなるように増幅器Dmax\_Aを設定することにより、最大デューティサイクルを制御する信号が切り換えられる。

【0066】以上構成および動作により、本発明を組み込んだ電源制御集積回路ICは、負荷の状態によって、ある状態よりも軽負荷の場合には発振周波数を下げ、ス

10

20

30

40

50



スイッチング回数を減らす事で電源の効率を上げ、同時に電源に設計時想定した以上のピーク電流が流れないように最大デューティサイクルを下げる動作を行い、また、負荷に応じた発振周波数低減率も、一方向で、かつある程度の制約は有るものの外付け部品一つで調整が可能である。

【0067】図13は電源制御集積回路の負荷対効率曲線を示す図である。この図13に示した電源制御集積回路ICの負荷対効率曲線は、理論計算による特性曲線を示しており、この特性によれば、負荷の低減と共に効率が従来の電源制御集積回路の場合よりもさらに低減しており、軽負荷時の効率が改善されているのが解る。

【0068】

【発明の効果】以上説明したように、本発明では、電源制御集積回路の発振周波数を決定する回路に、軽負荷時に負荷に応じて発振周波数を減少させる機能を付加する構成にした。これにより、軽負荷時の効率を改善することができる。

【0069】発振回路において、負荷の変動量を回路内部で発振波形と比較できるように構成したことで、負荷の変化をタイミング抵抗 $R_{RT}$ に流す電流の変化に反映させることができる。タイミング抵抗 $R_{RT}$ に流れる電流は、タイミングコンデンサ $C_{CT}$ への充放電電流に等しいので、結果として発振周波数を負荷の変化に応じて変化させることが可能になる。

【0070】また、内部基準電圧を取り出す基準電圧端子REFを電源制御集積回路に設けたことにより、負荷に対する発振周波数の変化率を増加させるように調整することができる抵抗の外付けが可能になる。これにより、外部部品一つで周波数変化率の調整が可能であるため、同一の電源制御集積回路でより広いニーズに対応することができる。

【0071】さらに、軽負荷時において、最大デューティサイクル時の出力オン時間が電源制御集積回路ICの内部あるいは外部の条件によって通常動作時の最大オン時間以上にならないよう調整する機能を備えたことにより、駆動するパワートランジスタにピーク電流が流れ続けている時間が長くなることでスイッチング電源のトランスが飽和し、最終的にパワートランジスタが破壊されるのを防止することができる。

【図面の簡単な説明】

【図1】本発明を適用したAC/DC電源回路の構成例を示す回路図である。

【図2】本発明による発振回路の第1の実施の形態を示す回路図である。

【図3】多入力増幅器の内部構成例を示す回路図である。

【図4】フィードバック信号を増幅する増幅器の特性を示す図である。

【図5】多入力増幅器の特性を示す図である。

【図6】周波数可変による発振波形の変化を示す図である。

【図7】本発明による発振回路の第2の実施の形態を示す回路図である。

【図8】フィードバック端子電圧と発振周波数との関係を示す図である。

【図9】本発明によるPWM制御の概念を示す図である。

【図10】PWM制御部の構成例を示す回路図である。

【図11】多入力コンパレータの構成例を示す回路図である。

【図12】最大デューティサイクル調整機能の概念を説明する図であって、(A)は多入力コンパレータの入力電圧の変化を示し、(B)は多入力コンパレータの出力電圧の変化を示している。

【図13】電源制御集積回路の負荷対効率曲線を示す図である。

【図14】従来の発振回路の構成例を示す図である。

【図15】PWM制御の概念を示す図である。

【図16】スイッチングロスの概念を示す図である。

【符号の説明】

IC 電源制御集積回路

T トランス

PT パワートランジスタ

RT タイミング抵抗接続端子

FB フィードバック端子

IS 過電流検出端子

GND グランド端子

OUT 出力端子

VCC 電源端子

REF 基準電圧端子

CS ソフトスタート端子

$C_{CT}$  タイミングコンデンサ

$R_{RT}$  タイミング抵抗

$FB_A$  増幅器

$RT_A$  多入力増幅器

$V_{ct}$  発振回路の出力電圧

$V_{fb}$  フィードバック電圧

$V_{rt}$  タイミング抵抗の端子電圧

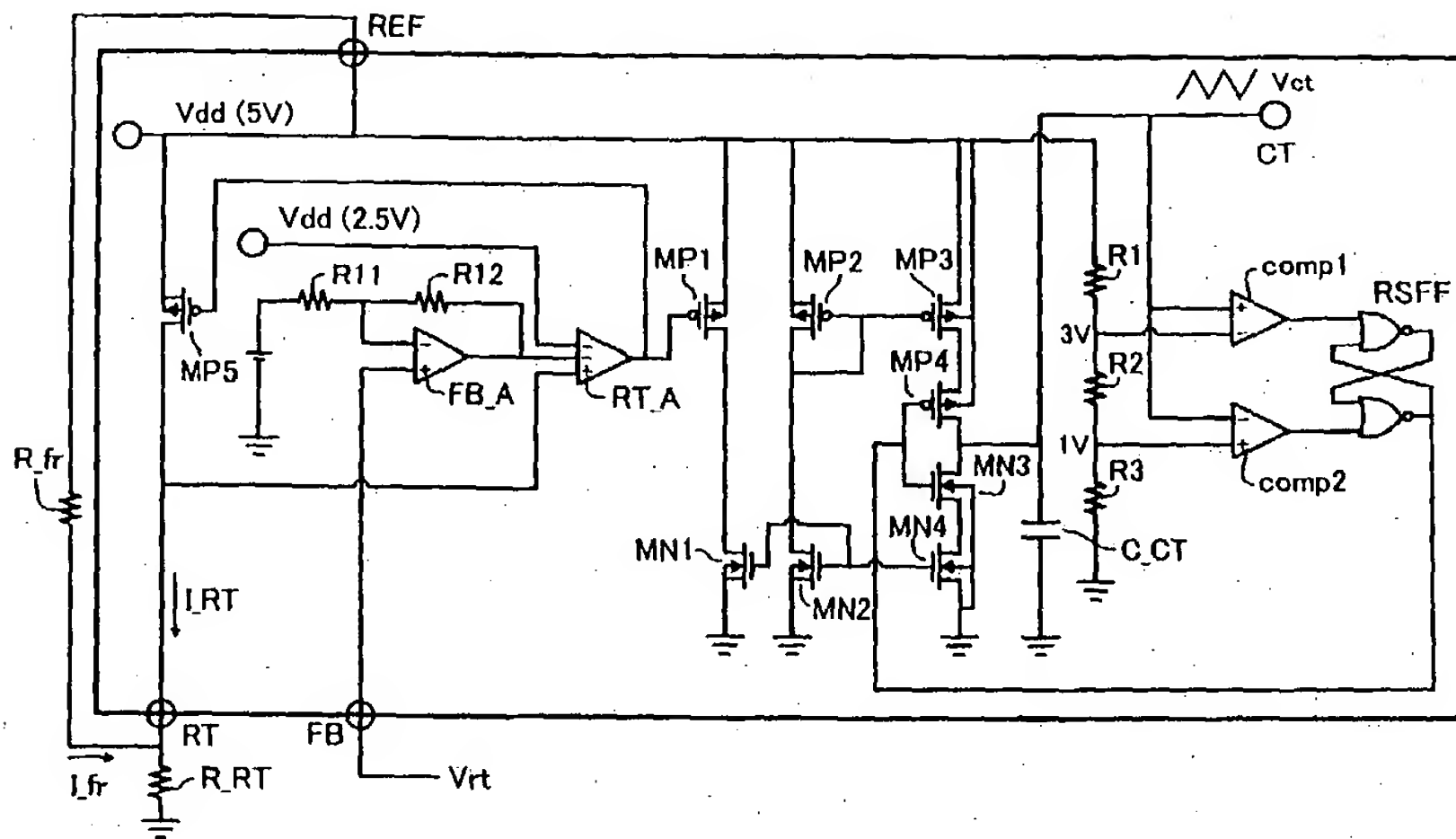
CT 発振回路の出力端子

$D_{max\_A}$  増幅器

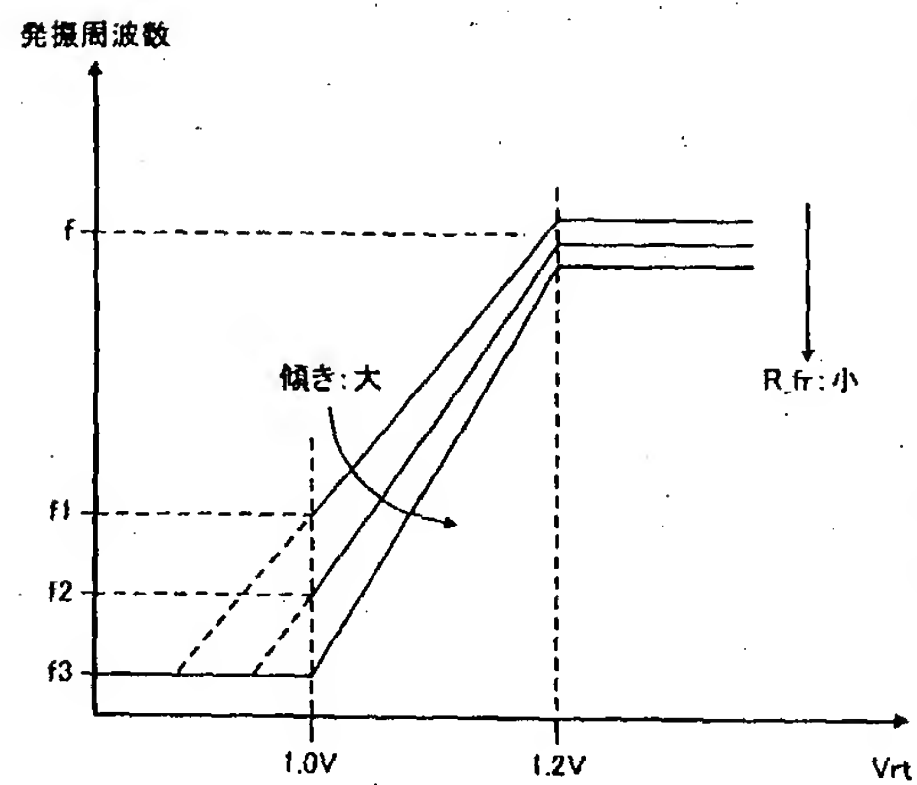
PWMcomp 多入力コンパレータ

$R_{fr}$  外付けの抵抗

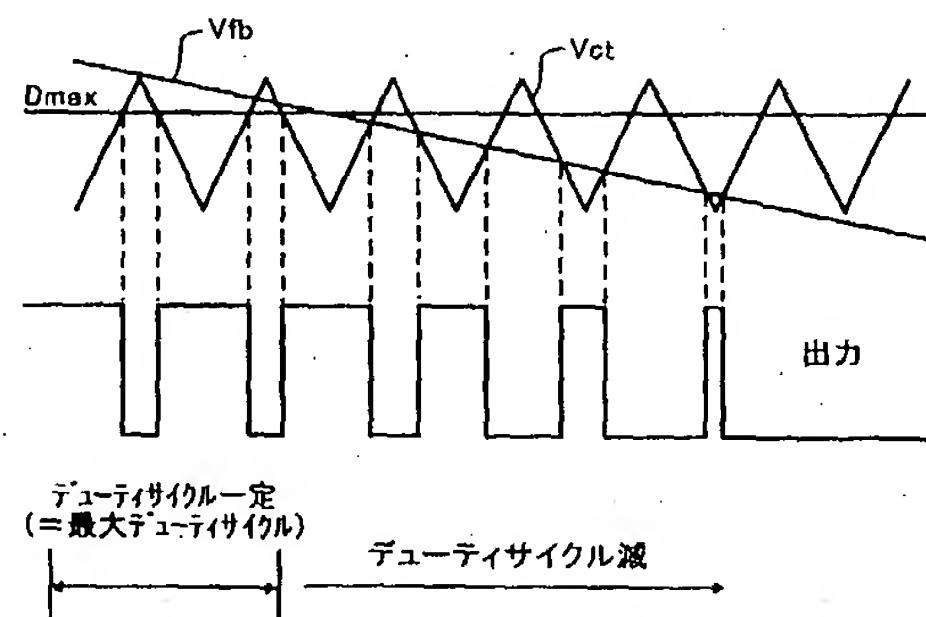
【図7】



【図8】

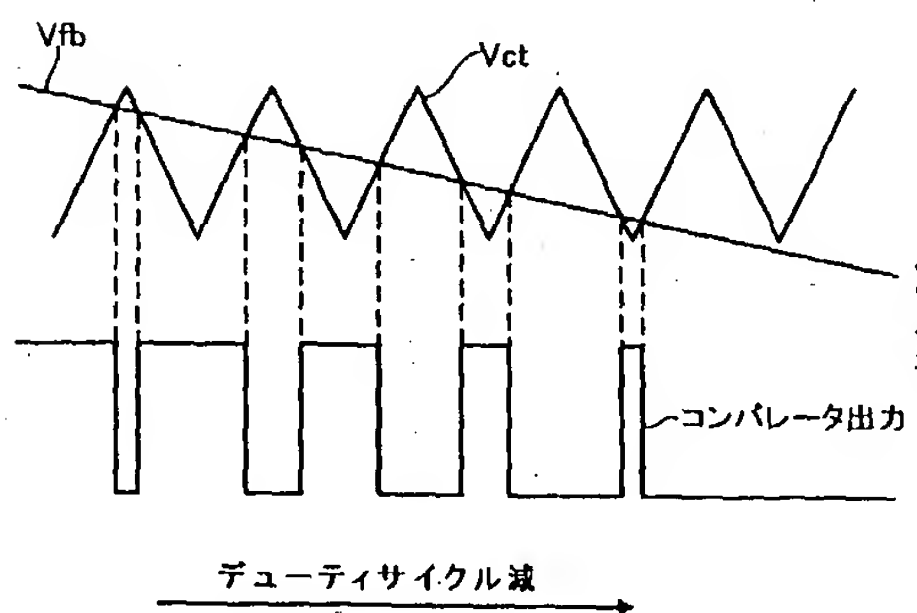


【図9】

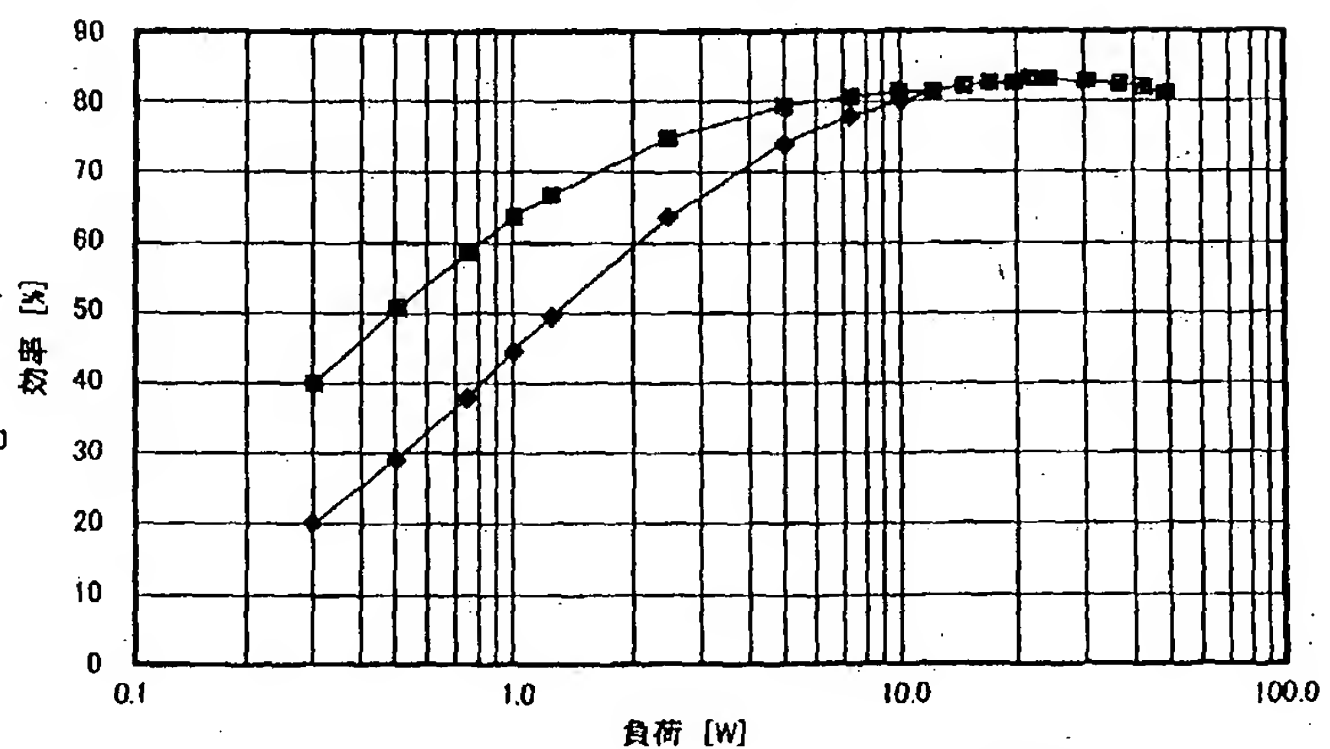


【図13】

【図15】

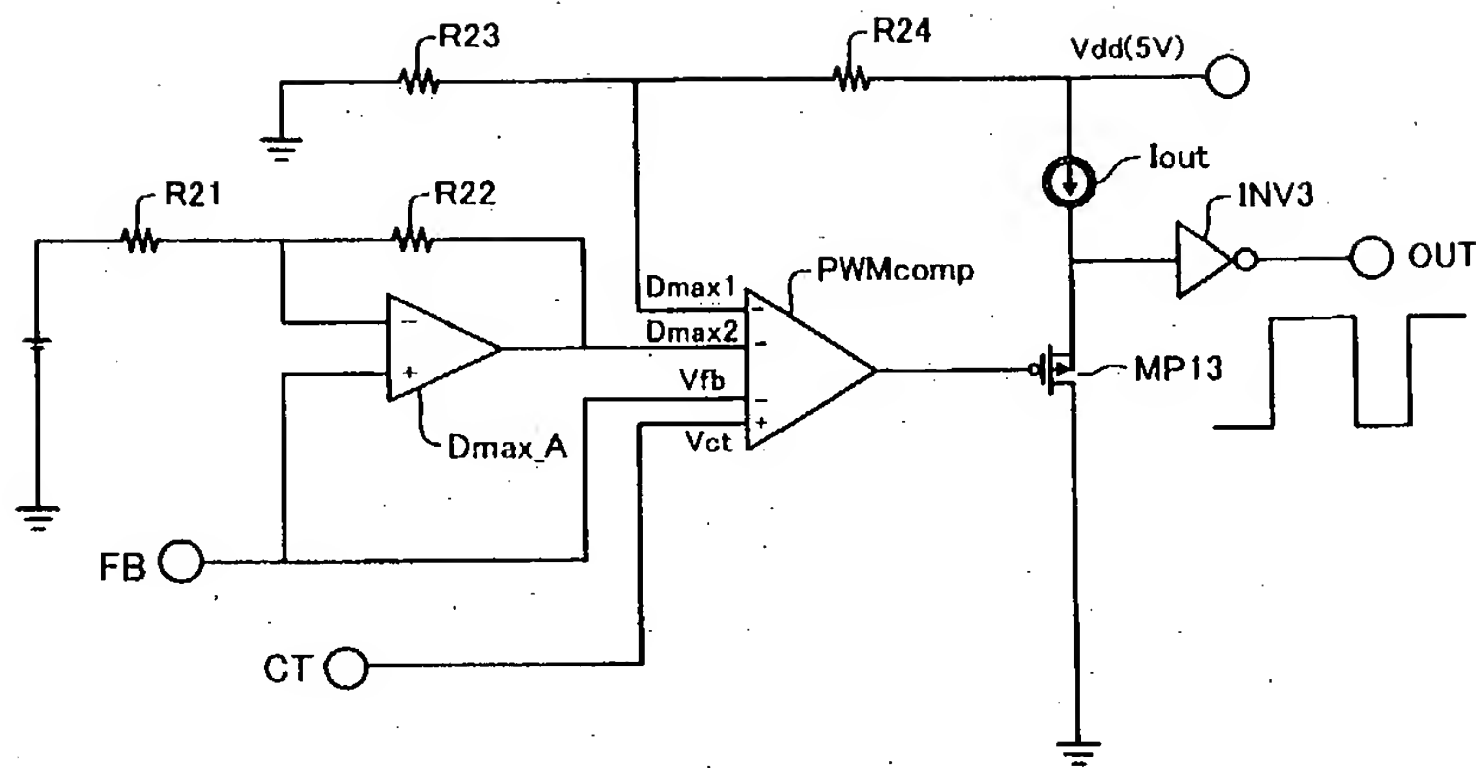


負荷対効率曲線

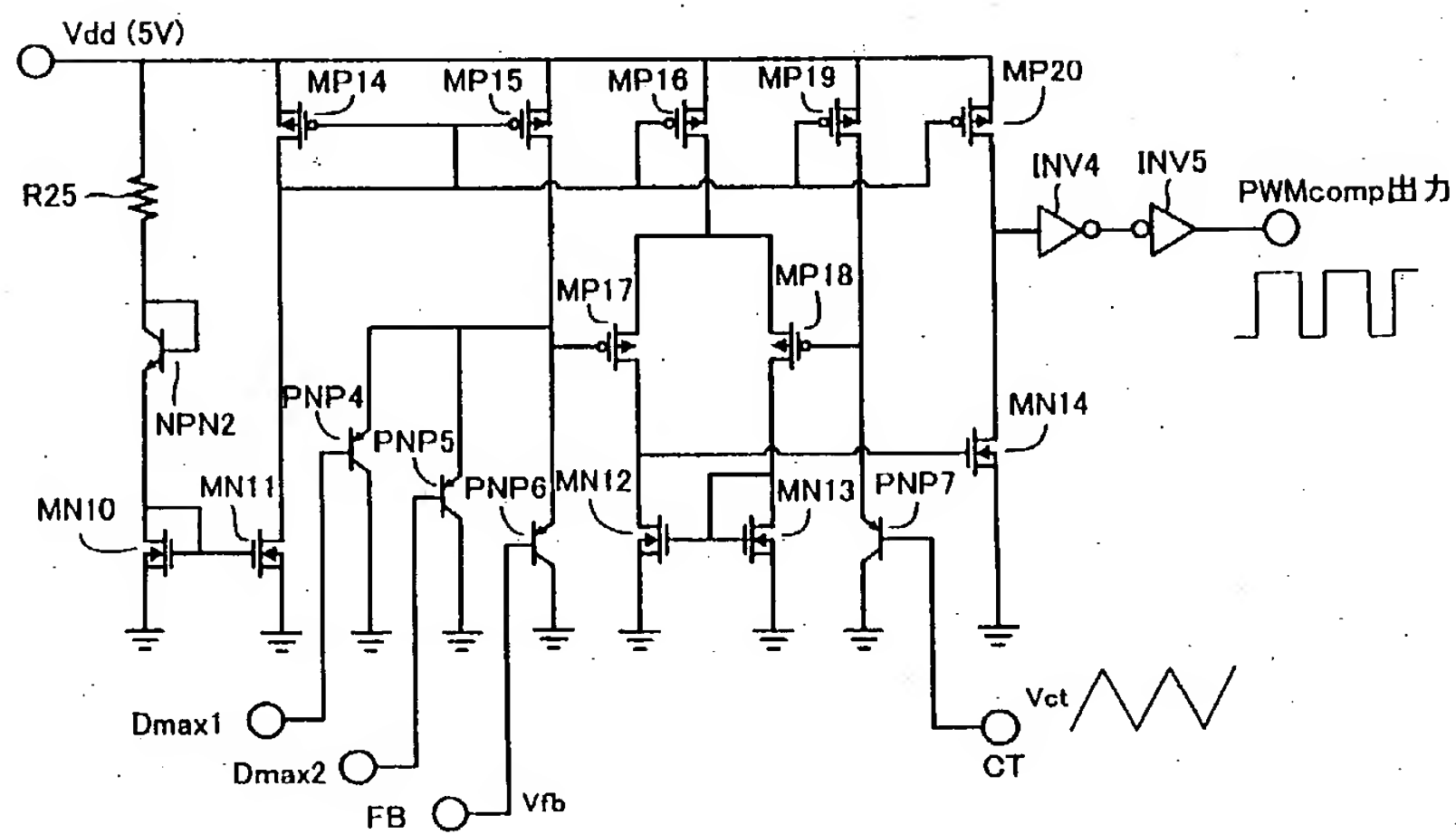


■ : 従来  
◆ : 本発明

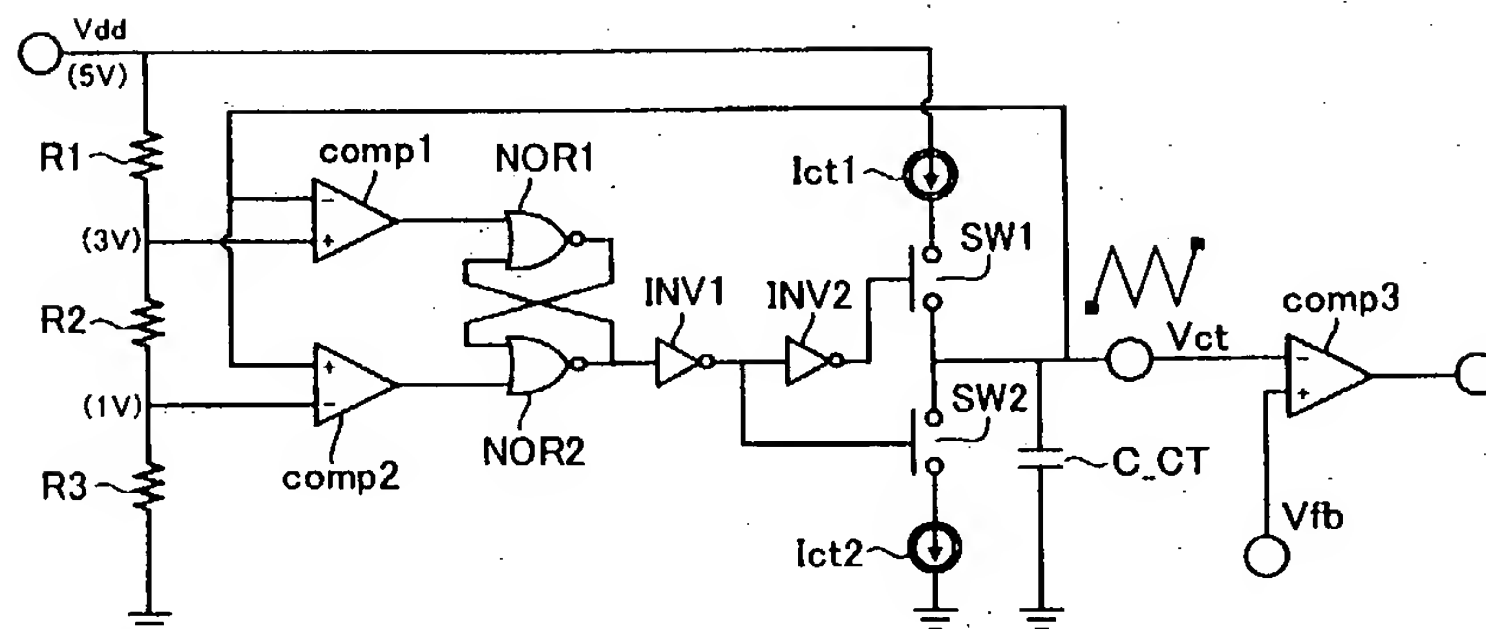
【図 10】



【図 11】

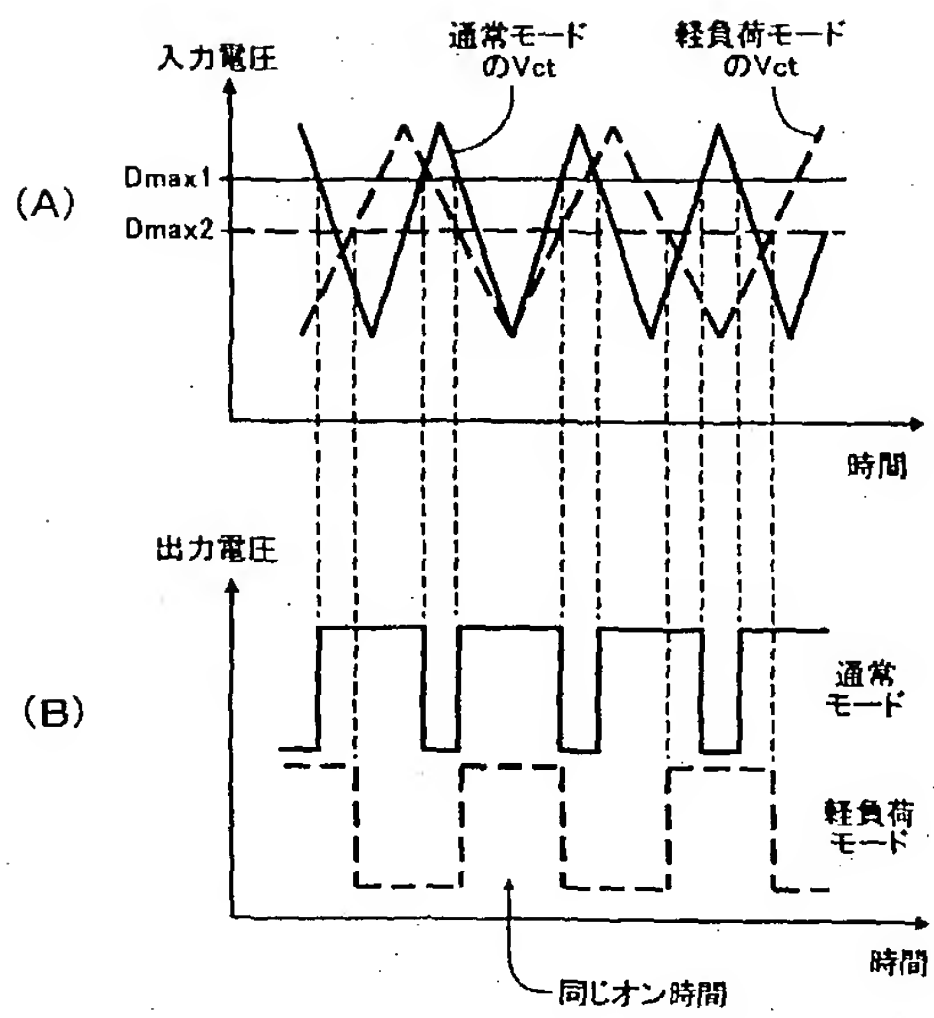


【図 14】





【図12】



【図16】

